

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-147426

(43)Date of publication of application : 06.06.1995

(51)Int.Cl.

H01L 31/108

G11C 11/42

H01L 27/15

H01L 29/43

(21)Application number : 05-292318

(71)Applicant : NEC CORP

(22)Date of filing : 24.11.1993

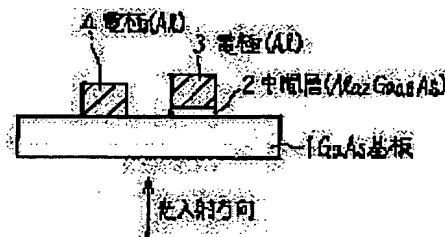
(72)Inventor : FUJIEDA SHINJI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To provide a semiconductor device which has an element that has both light receiving function and storing function by providing an electrode by successively laminating a middle layer formed of a specific compound semiconductor thin film and a metal film on a semiconductor substrate.

CONSTITUTION: An electrode 3 which has a metal/semiconductor structure is formed on a semiconductor substrate 1 as a light receiving and storing element on a semiconductor substrate 1. Then, a compound semiconductor thin film whose stoichiometry ratio is not one, not containing excess element deposition, is inserted between the metal/semiconductor structured electrode 3 and the semiconductor substrate 1 as a middle layer 2. The material of the compound semiconductor to be the middle layer 2 can be the same or different from that of the semiconductor of the substrate 1, and it can be either single crystal or non-single crystal. Thus, a semiconductor device provided with metal/ semiconductor junction that has both light receiving function and storing function is provided.



## LEGAL STATUS

[Date of request for examination] 29.03.1994

[Date of sending the examiner's decision of rejection] 08.04.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

特開平7-147426

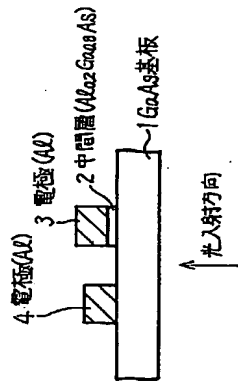
(51)IntCl. <sup>8</sup> H01L 31/08 G11C 11/42 H01L 27/15	識別記号 D Z 8832-4M	庁内整理番号 FI	技術表示箇所
	H01L 31/10 29/46 7376-4M		
	請求請求 有 請求項の版2 OL (全4頁) 最終頁に図1		
(21)出願番号 特願平6-282318	(71)出願人 00004237 日本電気株式会社 東京都港区芝五丁目7番1号 藤枝 信次 東京都港区芝五丁目7番1号 株式会社内		
(22)出願日 平成6年(1993)11月24日	(74)発明者 代理人 弁理士 京本 直樹 (外2名)		

(54) 【発明の名称】  
半導体装置

(57)【要約】

【目的】受光および記憶機能を同時に持つ素子を有する半導体装置を実現する。

【精成】GaAs基板1上にAs過剰Al<sub>0.2</sub>Ga<sub>0.8</sub>As薄膜の中間層2を設け、その上にAl電極3を設ける、更にGaAs基板1上にAl電極4を設ける。



(2)

## 【附】の英語辞書

【請求項1】 半導体基板上に化学量論比が1でなくかつ過剰元素の析出物を含まない化合物半導体薄膜からなる中間層と金属膜を順次積層して構成される電極を備えていることを特徴とする半導体装置。

【請求項2】 半導体基板上に化学量論比が1でなくかつ過剰元素の析出物を含まない化合物半導体薄膜からなる中間層と絶縁性薄膜と金属膜とを順次積層して構成される電極を備えていることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】  
【産業上の利用分野】本発明は、半導体装置に関し、特  
に記憶機構を有する電極の構造に関するものである。

**[0002]**

【従来の技術】光デバイスと電子デバイスを一体化させ、半導体基板（OETC）は、光の導引特性性を利用して並列信号処理装置として期待されてゐる。OETCで並列信号処理を演算処理するには配線網が必要である。すなわち、入力期間中に個々の受光素子へ与えられる光信号の内容が何らかの形で配線されたもの、これを読み出す素子と列に設けられる。通常、配線素子は受光素子と列に設けられる。

**[0003]**

【発明が解決しようとする課題】しかしながら、受光素子と記憶素子の両方を別々に設けることは、OEICの集積率低下には不利である。本発明の目的は、受光と記憶の機能を同時に持つ素子を有する半導体装置を提供することにある。

**[0004]**

【問題を解決するための手段】第1の実明では、受光素子の組成元素として、金属、半導体結晶の製造を要し、この金属/半導体界面に、化学量比析出の工程を要し、この金属/半導体界面を含有した化合物半導体の増設と中間層とを形成する。第2の実明では、中間層と金属とを絶縁性半導体で分層する。第3の実明では、中間層と金属とを、基板上半導体と同じ材料としてもなる化合物半導体材料としても、単結晶としても非単結晶としてもよい。絶縁性半導体の材料には、 $\text{SiO}_2$ 、 $\text{SiN}_x$ 、 $\text{AlN}$ 等の絶縁体、また $\text{Al}$ 、 $\text{Ga}$ 、 $\text{As}$ 、 $\text{In}$ 、 $\text{Ga}$ 、 $\text{P}$ や他の低次元IV型ポンドキッド半導体を用いても良く、更に中間層に化合物半導体を酸化、窒化させて形成した酸化膜、窒化膜等もよい。

**[0005]**

夏・半導体 (MIS) 構造に当たる。しかし、中間層内の大気塩化物が金属との直接トンネリングでキャリアの捕獲となり、放出を促進することが、絶縁性薄膜の抵抗率として  $Si_3N_4$  の場合の  $10^{16} \Omega \cdot cm$  といった高い値はかゝらずとも要込まれない。

**[000]**

**【作用】** 発光ダイオードの材料が化合物半導体であることから、OEICの材料には化合物半導体が主に用いられる。本第1の発明で用いる金風／半導体構造の発光ダイオードは、化合物半導体構造の発光ダイオードであり、本発明の発光ダイオードは、化合物半導体の材料からなる。

また、半導体材料の中間層には、化学量論比ずれによる欠陥が多量に存在する。例えば、Ga過剰なGaAs中にはアンチサイト空位が多数存在する。逆に、In不足したInGaAs中ではアンチサイト空位が多数存在する。これらの欠陥は、それぞれに特有の電子的準位を持つ。これらの欠陥準位は擬いて深く、電離エネルギーを容易に放出しないので、記憶機能を担いやすきキャリアがとどまる。新出物は再結晶合埋層を高くしなおすことができる。中間層は新出物を含ませる。第2の発明では、金属と上層中間層とを結合させる。中間層は新出物を含まない。これは、中間層から脱炭素されたキャリアが表面で再結合して中間層に付着するのを防ぐためである。

[illegible]

電圧印加を要する。この放電電量は書き込みの水準に対応する。すなわち入力力の水準が受光素子において配電される。さらに、金属/半導体（電極 3）と中間層 2）接合、あるいは中間層 2 と S i N<sub>x</sub> 膜 1 と電極 3 との接合を有する構造を複数と、電極 4 を 5 つ設けることにより、これら複数の接合電極に入力した蓄積電荷の符号を電極 4 での放電値から読みとることができる。一方電極の和電算がある時間内毎々の配電装置にええられた入力値の符号と一致する。

**[000]**

【実施例】次に本発明を図面を用いて説明する。図1は本発明の第1の実施例の断面図である。

【0009】図1において、(100) GaAs 基板1の上にAs過剰Al<sub>0.3</sub>Ga<sub>0.7</sub>As 薄膜の中間層2、その上にAs過剰Al<sub>1.0</sub>Ga<sub>0.0</sub>As 薄膜の中間層3、その上にAl<sub>1.0</sub>Ga<sub>0.0</sub>As 薄膜の中間層4を積層する。As過剰Al<sub>1.0</sub>Ga<sub>0.0</sub>As 中間層2は、As/(Ga+Al) 比を1.0、基板温度を2,000℃、成長速度を0.8μm/時とするMBE法(分子線エピタキシー)法で形成させ、図4

するMBE

フロントページの続き

技術表示箇所

FI

庁内整理番号

識別記号

(5)Int.Cl.<sup>6</sup>

H01L 29/43

特開平7-147426

(3)

を0.5~10nmとする。成長後、表面結晶性向上のため $As_4$ を照射しながら450℃で5分間熱処理する。これにより、濃度約 $10^{19}cm^{-3}$ の、伝導帯下0.7~0.9eVの $As$ アナンチサイト欠陥準位を持つ中間層2が形成される。この上に室温でAl膜をMBE成長させたのち、このAl膜を通常のリソグラフィにより整型し電極3、4とすればMSMダイオードが得られる。

[0010]尚、基板や中間層及び電極を他の材料から構成しても同じ配電機能を有するダイオードを形成することができる。図1を用いて適用例を説明する。

[0011]第1の適用例としては図1において、(100)GaAs基板1上にGaAs過剰GaAs薄膜の中間層をAリオン照射法で形成後、その上にTiNからなる電極を積層する。室温でGaAs基板1の表面にAリオンを加速電圧50~100Vで $1 \times 10^{19}cm^{-2}$ 照射し、基板を450℃で5分間熱処理する。これにより、濃度 $10^{19} \sim 10^{18}cm^{-3}$ の価電子帯下0.4~0.6eVのGaアナンチサイト欠陥準位を持つ、厚さ1~3nmの中間層が形成される。この上に室温でTiNをスパッタ蒸着させる。TiNをリソグラフィにより整型し電極とすればMSMダイオードが得られる。

[0012]第2の適用例としては図1において、(100)InP基板1上にGaAs過剰GaAs薄膜の中間層、その上にAlからなる電極を積層する。GaAs過剰GaAs中間層は、 $As_4/Ga$ ピーク比を0.5、基板温度を200℃、成長速度を $0.8 \mu m/時$ とするMBE(分子線エビタキシ)法で成長させ、厚さを0.5~5nmとする。成長後、表面結晶性向上のため $As_4$ を照射させずに450℃で5分間熱処理する。これにより、濃度約 $10^{19}cm^{-3}$ の、価電子帯下0.4~0.6eVのGaアナンチサイト欠陥準位を持つGaAs中間層が形成される。この上に室温でAlをMBE成長させリソグラフィにより整型し電極とすればMSMダイオード

が得られる。

[0013]図2は本発明の第2の実施例の断面図である。図2において、GaAs基板1上に第1の実施例と同様の $As$ 過剰 $Al_{0.1}Ga_{0.9}As$ の中間層2を形成後、 $SiN_x$ 膜5を厚さ0.5~3nmスパッタ蒸着させ絶縁性薄膜を形成したのち、Alを蒸着する。これを整型して、中間層2AとAl電極3Aが分離された第1の電極を作製したのち、 $SiN_x$ 膜5を含まない第2のAl電極4Aを形成する。

[0014]このように第2の実施例では、絶縁性薄膜として $SiN_x$ 膜5の挿入により、電極3Aを順パルスし電流を光照射により誘起する書き込み過程での中間層2Aから電極3Aへのキャリア流入が阻まれるため、中間層2A内の単位にキャリアが捕捉される割合が増加する。また、書き込み後読み込みまでに生じるキャリア再放出過程のうち、電極3Aへのトンネル過程が阻まれる。したがって、本第2の実施例では第1の実施例にくらべ配電保持性が改善される。

[0015]

[発明の効果] 以上説明したように本発明によれば、光と配電の機能を同時に持つ金属/半導体接合を有する半導体装置が得られ、OEICの高集積化が可能になるという効果がある。

[図面の簡単な説明]

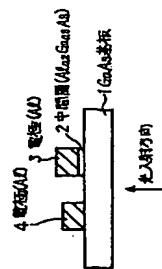
[図1] 本発明の第1の実施例の断面図。

[図2] 本発明の第2の実施例の断面図。

[符号の説明]

1 GaAs基板  
2, 2A 中間層  
3, 3A 電極  
4, 4A 電極  
5  $SiN_x$ 膜

[図1]



[図2]

